

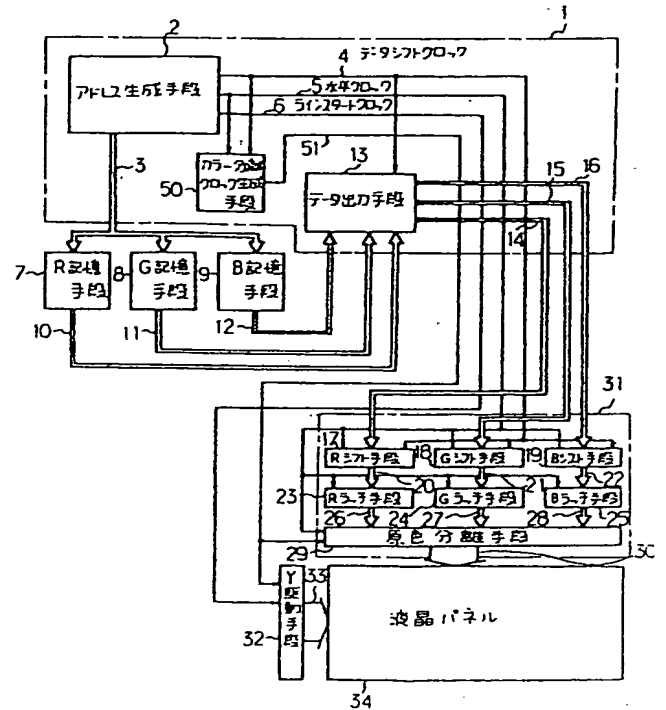
Title of Invention: Controller-Driver Circuit for Color LCD
Publication Number: Japanese Patent Application Laid-open
Sho 63 No. 223691
Publication Date: September 19, 1988 Priority Country: Japan
Application Number: Japanese Patent Application Sho 62 No. 56422
Application Date: March 13, 1987
Applicant: Hitachi, Ltd (1 ← number of other applicants)
Inventor: Hiroyuki MANO (3 ← number of other inventors)
Int. Cl⁴.: G 09 G 3/36, G 02 F 1/133, H 04 N 5/66

Configuration:

A controller-drive circuit for color LCD to output an image data to be displayed onto a color matrix LCD panel comprises: a data outputting means for outputting an input data as a LCD data by converting the input data into data format suitable for LCD wherein the input data of primary color is read out from a memory for storing the primary color data to be displayed, separated in N kinds of color (N: integer); N sets of LCD latch means for latching LCD data of each primary color from the data outputting means for each one line on horizontal direction on a display screen; a color separation clock generation means for time-sequentially generating N sets of clocks per one horizontal scanning period on the LCD screen; and a primary color separating means for LCD data which selects and outputs LCD data stored in the N sets of LCD latch means by utilizing the color separation clock means to separate the LCD data in primary color-wise toward the color matrix LCD panel for each one line on horizontal direction.

Fig. 1

- 2: address generation means
- 4: data shift clock
- 5: horizontal clock
- 6: line start clock
- 7-9: memory means (R, G, B)
- 13: data outputting means
- 50: color separation clock generation means
- 17-19: shift means (R, G, B)
- 23-25: latch means (R, G, B)
- 29: primary color separation means
- 32: Y-drive means
- 34: LCD panel



⑫ 公開特許公報(A)

昭63-223691

⑤ Int. Cl.⁴G 09 G 3/36
G 02 F 1/133
H 04 N 5/66

識別記号

3 3 0
1 0 2

庁内整理番号

8621-5C
A-8708-2H
B-7245-5C

④ 公開 昭和63年(1988)9月19日

※審査請求 未請求 発明の数 1 (全10頁)

⑬ 発明の名称 カラー液晶表示用コントローラ・ドライバ回路

⑭ 特 願 昭62-56422

⑮ 出 願 昭62(1987)3月13日

⑯ 発 明 者 真 野 宏 之 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所
マイクロエレクトロニクス機器開発研究所内⑯ 発 明 者 館 内 嗣 治 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所
マイクロエレクトロニクス機器開発研究所内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社
東京都小平市上水本町1479番地⑱ 代 理 人 弁理士 並木 昭夫
最終頁に続く

明 細 書

1. 発明の名称

カラー液晶表示用コントローラ・ドライバ回路

2. 特許請求の範囲

1. 表示すべき画像データをカラーマトリクス液晶表示パネルへ出力するためのコントローラ・ドライバ回路において、

表示すべき前記画像データをN通り(但し、Nは整数)の原色別に分けて原色データとして記憶する記憶手段から読み出された各原色データを入力され、液晶表示用に適したデータ形式に変換して液晶表示データとして出力するデータ出力手段と、該データ出力手段からの各原色別の液晶表示データを表示画面における水平方向1ライン分ずつ貯えてラッチする合計N個の液晶表示データラッチ手段と、表示画面における1水平走査期間毎にN個のクロックをカラー分離クロックとして時系列的に発生させるカラー分離クロック生成手段と、前記カラー分離クロックを用いて1水平走査期間内に前記N個の

液晶表示データラッチ手段の各々を順次選択してそこに貯えられている液晶表示データを原色別に分離して水平方向1ライン分単位で前記カラーマトリクス液晶表示パネルに向けて出力させる液晶表示データの原色別分離手段と、を具備したことを特徴とするカラー液晶表示用コントローラ・ドライバ回路。

2. 特許請求の範囲第1項記載のカラー液晶表示用コントローラ・ドライバ回路において、前記画像データはR(赤)、G(緑)、B(青)の3通りの3原色データから成り、前記カラー分離クロック生成手段は1水平走査期間毎に3個のクロックをカラー分離クロックとして時系列的に発生する回路から成り、前記液晶表示データの原色別分離回路は、R(赤)、G(緑)、B(青)の各液晶表示データを分離して順次カラーマトリクス液晶表示パネルに向けて出力させる回路から成ることを特徴とするカラー液晶表示用コントローラ・ドライバ回路。

3. 特許請求の範囲第1項記載のカラー液晶

表示用コントローラ・ドライバ回路において、前記カラー分離クロック生成手段は、水平クロックを入力されるとリセットされ、データシフトクロックを入力されてT個カウントしたら1パルス出力するTカウンタと、該Tカウンタの出力と前記水平クロックとの論理和をとって出力する論理和回路と、水平クロックを入力されるとリセットされ、前記Tカウンタの出力を分岐入力されて該出力を2回カウントしたら出力を発生する2カウンタと、該2カウンタの出力を入力されると前記Tカウンタへのデータシフトクロックの入力を阻止する論理回路と、から成ることを特徴とするカラー液晶表示用コントローラ・ドライバ回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、カラー液晶表示装置に関するものであり、更に詳しくは、カラー液晶表示装置をカラーマトリクス液晶表示パネルと該パネルにカラー画像データを出力するコントローラ・ドライバ回

路とに分けた場合の該コントローラ・ドライバ回路、即ちカラー液晶表示用コントローラ・ドライバ回路に関するものである。

〔従来の技術〕

従来の液晶表示装置は、日立製HD63645Fなどの液晶表示用コントローラを用い、表示すべき画像データを記憶する表示メモリから読み出した画像データを液晶表示手段に与え、液晶表示手段では、与えられた画像データを画面の水平方向1ライン分ずつ取り込み、液晶パネルに出力することにより、画像の表示を行っていた。しかし、このような従来の液晶表示装置では、モノクロ表示を対象としており、カラー表示に関しては配慮されていなかった。

従来の液晶表示装置を以下、第2図～第4図を用いて一通り説明する。

第2図は、従来の液晶表示装置を示すブロック図である。同図において1は液晶コントローラ、2はアドレス生成手段、3はメモリアドレス、4はデータシフトクロック、5は画面の1水平走査

期間毎にそれと同期して発生する水平クロック、6はラインスタートクロックである。メモリアドレス3、データシフトクロック4、水平クロック5、ラインスタートクロック6はアドレス生成手段2で生成される。35は表示すべき画像情報を記憶する画像記憶手段（以下メモリとも称す）、36はメモリアドレス3によってメモリ35から読み出された8ビットのバス幅を持つメモリデータ、37はデータ出力手段であって、8ビットのバス幅をもつメモリデータ36を入力され、それを液晶表示用に適した4ビットのバス幅をもつ表示データに変換して出力するデータ出力手段、38はデータ出力手段37よりデータシフトクロック4に同期したタイミングで出力される表示データで、この表示データ38は4ビットのバス幅をもつ。31はX（軸方向）駆動手段、30は1ライン液晶表示データ、32はY（軸方向）駆動手段、33は表示ラインデータ、34は液晶パネルでX駆動手段31、Y駆動手段32により駆動されて表示データの液晶表示を行なっている。

第3図は、第2図におけるX駆動手段31の詳細を示すブロック図である。

第3図において、39は表示データ38をデータシフトクロック4により1ライン分取り込むデータシフト手段、40はデータシフト手段39の出力であるシフトデータ、41はシフトデータ40を水平クロック5でラッチする1ラインラッチ手段である。XD1～XD640は液晶表示画面における1ラインを640ドットとした時の1ライン液晶データ30である。

第4図は、第2図においてX駆動手段31、Y駆動手段32が液晶パネル34を駆動するときの動作に関連した各信号のタイミング図である。

第4図において、（イ）は水平クロック5、即ち表示画面における1水平走査期間（1H期間）毎にそれに同期して発生せしめられるクロックである。（ロ）はデータシフトクロック4、即ち水平クロック5よりもはるかに高い繰り返し周波数を持つクロックで、第3図において、データシフト手段41に取り込まれる表示データ38を、該

シフト手段39内でシフトさせるのに用いられるデータシフトクロックである。(ハ)は表示データ38を示すタイミング図で、表示データ38として1から160までの160個の表示データが示されているが、その各データはデータシフトクロック4に同期していることが認められるであろう。

(ニ)は同じく水平クロック5を示すタイミング図であるが、(イ)の場合よりも、タイムスケールを小さくしてある。(ホ)は1ライン液晶表示データXD1~XD640の1ライン目、2ライン目、3ライン目等々が水平クロック5に同期していることを示している。(ヘ)、(ト)はそれぞれY駆動手段32により出力される表示ラインデータ33である。即ち(ヘ)は1ライン目を表示しなさいという表示ラインデータYD1であり、(ト)は2ライン目を表示しなさいという表示ラインデータYD2である。

以下、動作説明のため改めて第2図を参照する。
第2図において、メモリ35に記憶されていた

160個の表示データ38すなわち640ドット(160×4ビット)分のデータを1H期間に取り込み、シフトデータ40として出力する。このシフトデータ40は水平クロック5の立下りで1ラインラッチ手段41にラッチされ、1ラインデータ30(XD1~XD640)となる。すなわちX駆動手段31は、現在データシフト手段39に取り込んでいる表示データ38のラインの1ライン前のデータを1ラインデータ30として1ラインラッチ手段41から液晶パネル34に出力する。1ラインデータ30は、Y駆動手段32の出力である表示ラインデータ33(第4図の(ヘ)、(ト)参照)の内“ハイ”となっているラインにおいて、液晶パネル34上に表示される。

Y駆動手段32は、ラインスタートクロック6を水平クロック5で取り込むことにより液晶パネル34の1ライン目YD1を“ハイ”にし、以下水平クロック5を入力される毎に2ライン目のYD2、3ライン目のYD3……の順に“ハイ”をシフトしていく。したがって、第4図に見られる

画像情報は、アドレス生成手段2より出力されるメモリアドレス3に従って読み出され、メモリ表示データ36(8ビット幅)となる。この8ビットのメモリ表示データ36はデータ出力手段37に取り込まれ、液晶パネル側のインタフェースに合せて4ビット幅のデータ形式に変換するため、上位4ビット、下位4ビットに分けられる。分けられた4ビットデータはデータシフトクロック4に従い、液晶表示データ38となり、データ出力装置37より出力される。

液晶表示データ38は、データシフトクロック4、水平クロック5と共にX駆動手段31に与えられ、Y駆動手段32には水平クロック5とラインスタートクロック6が与えられ、液晶パネル34上に表示データ38が表示されることになる。X駆動手段31、Y駆動手段32の動作を以下、第3図、第4図を参照して説明する。

第3図において、データシフト手段39は、第4図に見られるように、最初なら最初の水平クロック5の出力後、データシフトクロック4に従い、

ように、X駆動手段31が1ライン目の1ラインデータ30を出力している時はY駆動手段32は表示ラインデータ33の内YD1を“ハイ”にし、X駆動手段31が2ライン目の1ラインデータ30を出力している時は、Y駆動手段32は表示ラインデータ33の内、YD2を“ハイ”にする。

以上説明したX駆動手段31、Y駆動手段32の動作により、表示データ38が液晶パネル34上に表示される。

(発明が解決しようとする問題点)

第2図に示した従来の液晶パネル34に、R(赤)、G(緑)、B(青)のカラーフィルタを付けることにより、8色(R、G、Bの組合せ)のカラー表示が可能となる。

第5図は、かかるカラーフィルタを付した液晶パネルの説明図である。第5図に見られるように、可視情報としての1ラインを液晶パネル上のR、G、Bのフィルタを付けた3ラインで表現することで8色のカラー表示が可能となる。しかし、このような液晶パネルは、第5図に見られるように、

可視情報では縦200ラインでも、実際には3色(R, G, B)であるのでその3倍、つまり600(200×3)ライン必要である。このため、第2図に示した従来の液晶表示装置において、液晶パネル34だけを、第5図に示したカラー表示用のものに代えてカラー液晶表示装置を実現しようとする、メモリ35へのアクセス及びX駆動手段31へのデータ転送は、データがR, G, Bの3原色データとなるため、モノクロ時に比べ3倍のスピードが必要となり、メモリ、駆動手段共高価なものになるという問題が生じる。

本発明の目的は、上記問題点を解決し、高価なメモリ、駆動手段を要することなしに、液晶表示装置においてカラー表示を可能とするカラー液晶表紙用コントローラ・ドライバ回路を提供することにある。

(問題点を解決するための手段)

問題点解決のため、本発明では、表示すべき画像データをカラーマトリクス液晶表示パネルへ出力するためのコントローラ・ドライバ回路におい

単位で前記カラーマトリクス液晶表示パネルに向けて出力する。

以上により、カラーマトリクス液晶表示パネルに向けてデータを出力するドライバ回路(液晶表示データラッチ手段、液晶表示データの原色別分離手段)へのデータの取り込みは、単一のカラーデータを取り込む場合と同様なスピード(原色データを3組、直列に取り込むとするとその3倍のスピードとなる)で行うことが可能になり、メモリへのアクセスも単一のカラーデータの場合と同様なスピードで行うことが可能になる。

(実施例)

以下、図を参照して本発明の実施例を説明する。説明の都合上、カラー表示は8色とし、カラー画像データはR, G, Bの各原色データから成っているものとする。

第1図は本発明の一実施例を示すブロック図である。同図において、1はカラー用の液晶コントローラ、2はアドレス生成手段、3はメモリアドレス、4はデータシフトクロック、5は水平クロ

ック、6はラインスタートクロック、30は1ライン液晶表示データ、31はカラー用のX駆動手段、32はY駆動手段、33は表示ラインデータ、34はカラー用の液晶パネル(第5図参照)、である。

(作用)

データ出力手段は、表示すべき前記画像データをN通り(但し、Nは整数)の原色別に分けて原色データとして記憶する記憶手段から読み出された各原色データを入力され、液晶表示用に適したデータ形式に変換して液晶表示データとして出力する。液晶表示データラッチ手段はN個あり、前記データ出力手段からの各原色別の液晶表示データをそれぞれ表示画面における水平方向1ライン分ずつ貯えてラッチする。カラー分離クロック生成手段は、表示画面における1水平走査期間毎にN個のクロックをカラー分離クロックとして時系列的に発生する。液晶表示データの原色分離手段は、前記カラー分離クロックを用いて1水平走査期間内に前記N個の液晶表示データラッチ手段の各々を順次選択してそこに貯えられている液晶表示データを原色別に分離して水平方向1ライン分

ック、6はラインスタートクロック、30は1ライン液晶表示データ、31はカラー用のX駆動手段、32はY駆動手段、33は表示ラインデータ、34はカラー用の液晶パネル(第5図参照)、である。

その他、7はカラー画像データのR成分をデータとして記憶するR記憶手段(以下Rメモリとも称す)、8はカラー画像データのG成分をデータとして記憶するG記憶手段(以下Gメモリとも称す)、9はカラー画像データのB成分をデータとして記憶するB記憶手段(以下Bメモリとも称す)で、10、11、12は、メモリアドレス3によってRメモリ7、Gメモリ8、Bメモリ9からそれぞれ読み出された8ビット幅のRメモリデータ、Gメモリデータ、Bメモリデータである。13はデータ出力手段、14、15、16はデータ出力手段13の出力で各々R表示データ、G表示データ、B表示データである。

データ出力手段13は、8ビットのRメモリデータ10、Gメモリデータ11、Bメモリデータ

12をそれぞれ入力され、それらを上位4ビット、下位4ビットに分け、データシフトクロック4に従い4ビットのR表示データ14、4ビットのG表示データ15、4ビットのB表示データ16として出力する。

50はカラー分離クロック生成手段、51はカラー分離クロックである。カラー分離クロック生成手段50は、水平クロック5、データシフトクロック4を入力され、これらにより画面走査の1水平走査期間内に時系列的に位置する3個のクロックから成るカラー分離クロック51を生成して出力する。

17、18、19は各々R表示データ14、G表示データ15、B表示データ16を1ライン分取り込むためのシフト手段で、17はRシフト手段、18はGシフト手段、19はBシフト手段である。20、21、22は各々のシフト手段の出力で、Rシフトデータ、Gシフトデータ、Bシフトデータである。23、24、25は、水平クロック5によって、Rシフトデータ20、Gシフト

データ21、Bシフトデータ22をそれぞれラッチするためのラッチ手段であり、23はRラッチ手段、24はGラッチ手段、25はBラッチ手段である。

26、27、28は、各ラッチ手段の出力で、Rラインデータ、Gラインデータ、Bラインデータである。29は原色分離手段で、Rラインデータ26、Gラインデータ27、Bラインデータ28を入力とし、カラー分離クロック51に従い該クロックの1パルス目(最初のクロック)によってはRラインデータ26を、2パルス目(2番目のクロック)によってはGラインデータ27を、3パルス目(3番目のクロック)によってはBラインデータ28を、それぞれ1ライン液晶データ30として出力する。

第6図は、R表示データ14、G表示データ15、B表示データ16とデータシフトクロック4、水平クロック5の関係を表すタイミング図である。各表示データはデータシフトクロック4に同期していること、水平クロック5と5の間に1ライン

のデータが納まること、などが認められるであろう。

第7図はカラー分離クロック生成手段50の具体例を示す回路図である。同図において、42は入力するクロックをT個だけカウントしたらその出力をハイにし自身をリセットするTカウンタ、49はTカウンタのカウント出力である。43はリセット後、入力クロックを2カウントしたらその出力をハイにする2カウンタで、48はTカウンタ42へのクロック入力をアンド回路46においてマスクするクロックマスク信号である。45はオア回路、44、47はそれぞれインバータである。

第8図は、第7図に示したカラー分離クロック生成手段50の動作を表すタイミング図である。水平クロック5の1周期(1H期間)内に3個のカラー分離クロック51が位置していることが認められるであろう。

第9図は第1図におけるX駆動手段31、特に原色分離手段29の動作を表すタイミング図であ

る。

以下、動作説明のため再び第1図を参照する。

第1図において、カラー画像情報は、R、G、Bの各原色成分に分けられ各々Rメモリ7、Gメモリ8、Bメモリ9に記憶される。この記憶されたカラー画像情報はアドレス生成手段2より出力されるメモリアドレス3によって同時に読み出され各々8ビット幅のRメモリデータ10、Gメモリデータ11、Bメモリデータ12となる。Rメモリデータ10、Gメモリデータ11、Bメモリデータ12はデータ出力手段13に取り込まれ、各々上位4ビット、下位4ビットに分けられる。この分けられた4ビットずつのデータは、データシフトクロック4に従い各々R表示データ14、G表示データ15、B表示データ16としてデータ出力手段13より出力される。

データ出力手段13は第6図に示すように、水平クロック5の1周期間において、各表示データ14、15、16を160個すなわち640(4×160)ドット、データシフトクロック4に同

期して出力する。

カラー分離クロック生成手段50は既に述べたように第7図に示す回路構成で実現できる。その動作を第7図、第8図を参照して説明する。

第7図において、水平クロック5が入力すると、インバータ44を介したその出力によりTカウンタ42、2カウンタ43はリセットされる。そのためインバータ47の出力であるクロックマスク信号48はハイとなり、Tカウンタ42はデータシフトクロック4をアンド回路46を介して入力され、それに従ってカウント動作を行なう。Tカウンタ42は、第8図に示すように、データシフトクロック4をT個だけカウントし、カウント出力49を“ハイ”にする動作を2回繰り返す。

カウント出力49が2回“ハイ”となると、その“ハイ”をカウントしている2カウンタ43は、その出力を“ハイ”にするため、インバータ47を介して出力されるクロックマスク信号48が“ロー”となる。これによりアンド回路46が閉じ、Tカウンタ42のカウント動作は停止する。

のラッチ手段より出力される。

したがって、シフト手段は、ラッチ手段のラッチしているラインデータの1ライン後のデータを取り込んでいることになる。原色分離手段29は、水平クロック5の1周期内に3個存在しているカラー分離クロック51の1パルス目(最初のクロック)によりRラインデータ27を、2パルス目(2番目のクロック)によってGラインデータ28を、3パルス目(3番目のクロック)によってBラインデータ29を、それぞれ選択してライン液晶データ30として出力する。

Y駆動手段32は、そのシフトクロックをカラー分離クロック51とすることで、第9図に示すように、可視情報の1ライン目のR1がライン液晶データ30の時にはYD1を“ハイ”にし、可視情報の1ライン目のG1がライン液晶データ30の時にはYD2を“ハイ”にする。

以上説明したように、カラー分離クロック生成手段50、原色分離手段29により、カラー画像情報を記憶するメモリへのアクセス、及びX駆動

以上により、カラー分離クロック51は、水平クロック5とカウンタ49の出力の論理和をオア回路45でとって出力することにより、第8図に示すように、1水平走査期間中に3個発生するクロックとなる。

次に第1図におけるX駆動手段31の動作を第9図を参照して説明する。データ出力手段13から出力される各表示データ14、15、16はデータシフトクロック4の立下りエッジで各々Rシフト手段17、Gシフト手段18、Bシフト手段19に1ライン分ずつ取り込まれる。Rシフト手段17、Gシフト手段18、Bシフト手段19にそれぞれ1ライン分のデータが取り込まれると、その出力であるRシフトデータ20、Gシフトデータ21、Bシフトデータ22は水平クロック5の立下りエッジによって、各々Rラッチ手段23、Gラッチ手段24、Bラッチ手段25に取り込まれる。このデータは、各々Rラインデータ26、Gラインデータ27、Bラインデータ28として、水平クロック5の周期である1ライン期間、各々

手段におけるシフト手段へのデータ転送は、単一のカラーデータの場合と同様とすることができ、そのアクセス、データ転送の速度は従来のモノクロの液晶表示装置におけるそれと同等にすることができる。

(発明の効果)

本発明によれば、メモリへのアクセス、X駆動手段におけるシフト手段へのデータ転送を単一のカラーデータの場合と同様とすることができ、そのアクセス、データ転送の速度を従来のモノクロ液晶表示系におけるそれと同等にできるので、メモリ、ドライバを安価なものとすることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は従来の液晶表示装置を示すブロック図、第3図は第2図におけるX駆動手段のブロック図、第4図は第2図におけるX駆動手段、Y駆動手段の動作を示すタイミング図、第5図はカラー液晶パネルの構成図、第6図は第1図におけるR、G、Bの表示データとデータシフトクロック、水平ク

ロックの関係を示すタイミング図、第7図は第1図におけるカラー分離クロック生成手段の構成例を示す回路図、第8図は第7図に示したカラー分離クロック生成手段の動作を示すタイミング図、第9図は第1図におけるX駆動手段、Y駆動手段の動作を表すタイミング図、である。

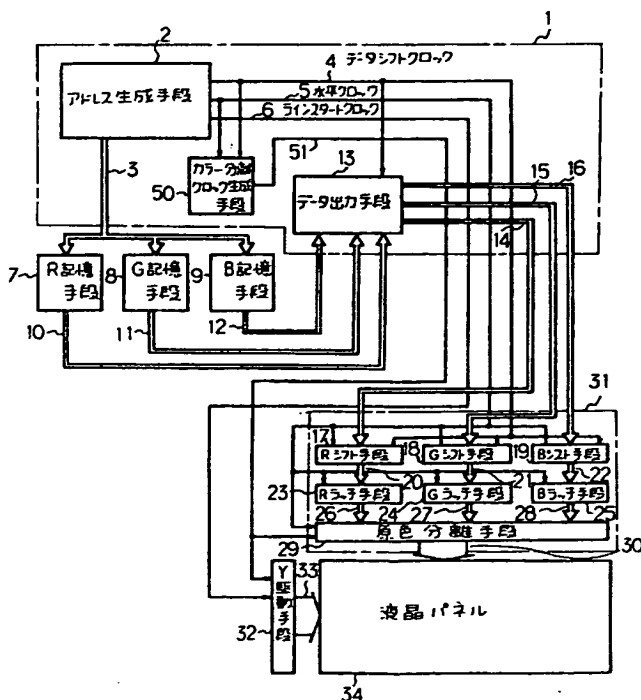
符号の説明

1…液晶コントローラ、2…アドレス生成手段、3…メモリアドレス、4…データシフトクロック、5…水平クロック、6…ラインスタートクロック、7…R記憶手段、8…G記憶手段、9…B記憶手段、10…Rメモリデータ、11…Gメモリデータ、12…Bメモリデータ、13…データ出力手段、14…R表示データ、15…G表示データ、16…B表示データ、50…カラー分離クロック生成手段、51…カラー分離クロック、17…Rシフト手段、18…Gシフト手段、19…Bシフト手段、20…Rシフトデータ、21…Gシフトデータ、22…Bシフトデータ、23…Rラッチ手段、24…Gラッチ手段、25…Bラッチ手段、

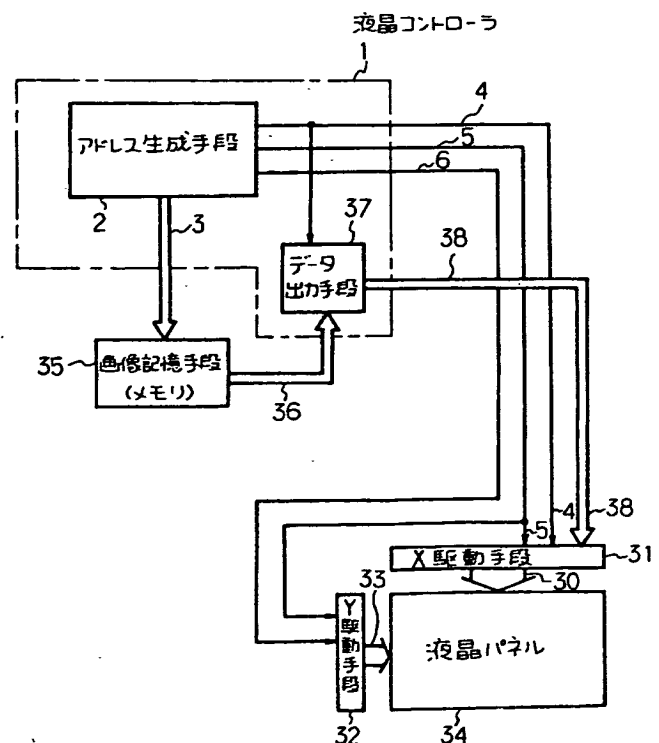
26…Rラインデータ、27…Gラインデータ、28…Bラインデータ、29…原色分離手段、30…1ライン液晶データ、31…X駆動手段、32…Y駆動手段、33…表示ラインデータ、34…液晶パネル、42…Tカウンタ、43…2カウンタ、48…クロックマスク信号、49…カウンタ出力

代理人 弁理士 並 木 昭 夫

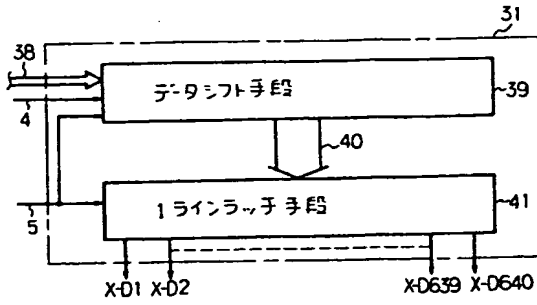
第 1 図



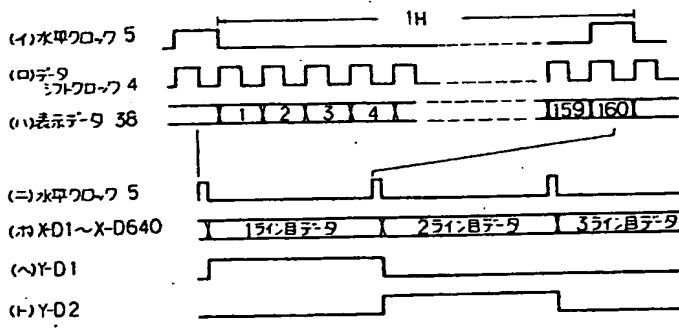
第 2 図



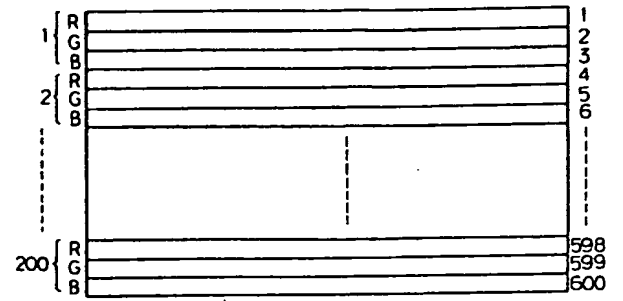
第3図



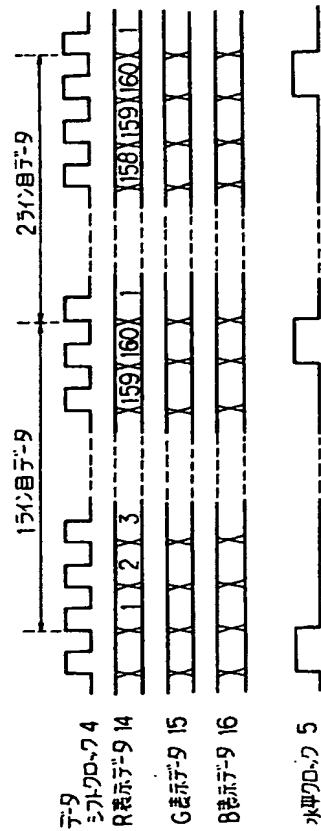
第4図



第5図



第6図



第7図

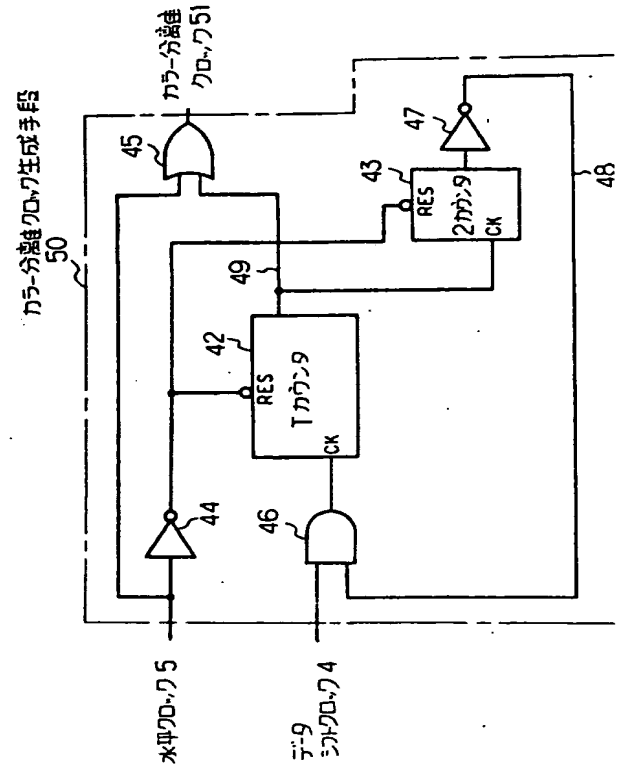


図 8

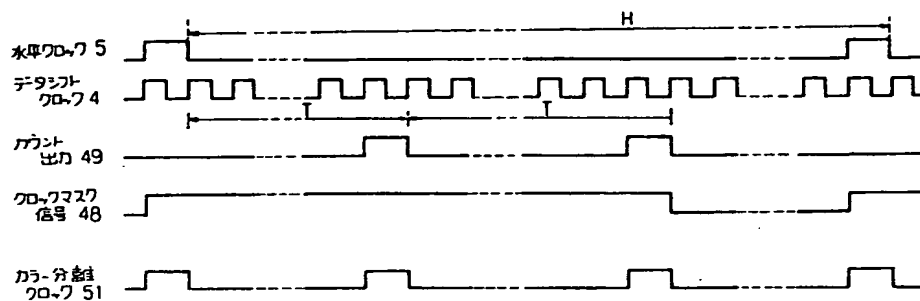
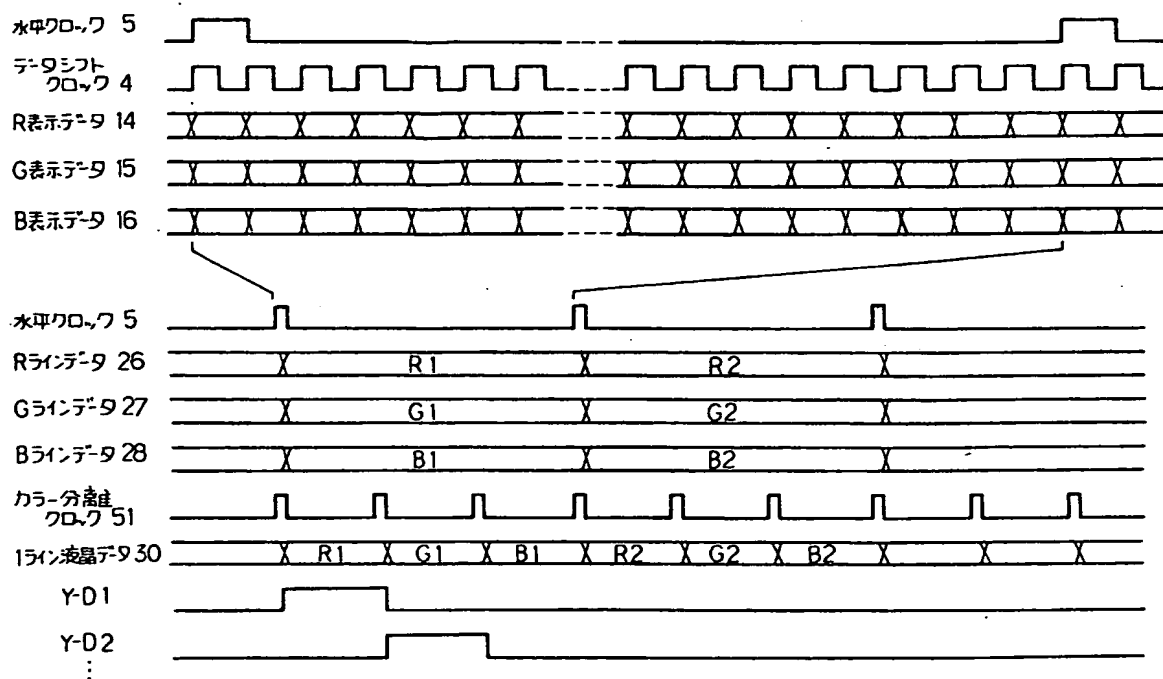


図 9



第1頁の続き

⑤Int.Cl.⁴

H 04 N 9/12

識別記号

庁内整理番号

7245-5C

⑦発明者 北 島

雅 明

茨城県日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑦発明者 田 中

伸 児

東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内